

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-194748

(43)Date of publication of application : 21.07.1999

(51)Int.Cl.

G09G 3/36
G02F 1/133

(21)Application number : 09-360943

(71)Applicant : HITACHI LTD
HITACHI VIDEO & INF SYST INC
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 26.12.1997

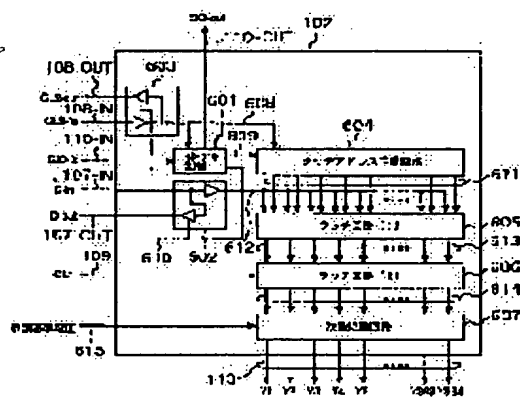
(72)Inventor : NITTA HIROYUKI
OSAKA HIDEKI
TSUNEKAWA SATORU
KURIHARA HIROSHI
HIGA ATSUHIRO
NAKAMURA MASASHI

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device allowing signal supply to a plurality of data drivers to be performed less number of transmission line.

SOLUTION: In a liquid crystal display device driving a liquid crystal panel by the plurality of data drivers 102, display data and clock for data transfer are transmitted by connecting all the data drivers 102 via transmission lines 107, 108 in series. Each data driver 102 has buffer circuits 602 and 603 inserted between the transmission lines on the input side and the power output side, and is arranged so that the impedance of the transmission line on the input side does not influence that of the transmission line on the power output side. Thus, it become possible to increase a transmission rate and reduce the number of the transmission lines accordingly.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl.⁹

識別記号

F I

G 0 9 G 3/36

G 0 9 G 3/36

G 0 2 F 1/133

5 5 0

G 0 2 F 1/133

5 5 0

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号 特願平9-360943

(22) 出願日 平成9年(1997)12月26日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233136

株式会社日立画像情報システム

神奈川県横浜市戸塚区吉田町292番地

(71) 出願人 000233088

日立デバイスエンジニアリング株式会社

千葉県茂原市早野3681番地

(72) 発明者 新田 博幸

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(74) 代理人 弁理士 富田 和子

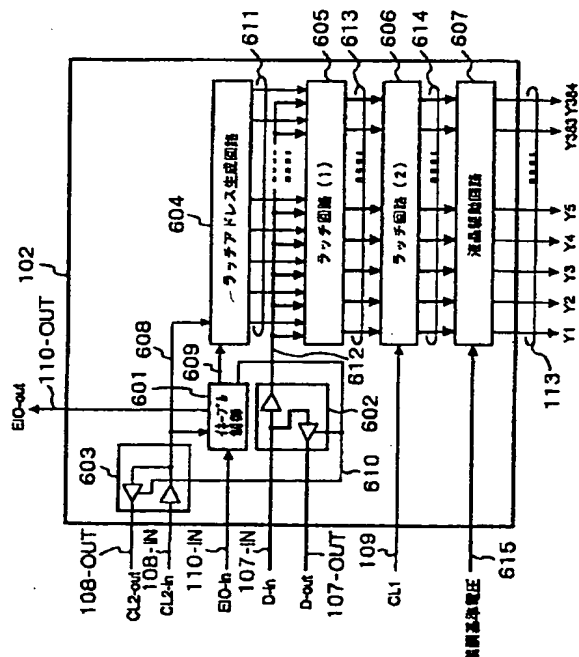
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 複数のデータドライバへの信号の供給を、より少数の伝送線路で行うことを可能とした液晶表示装置を提供する。

【解決手段】 液晶パネルを複数のデータドライバ102で駆動する液晶表示装置において、全てのデータドライバ102を伝送線路107および108により直列に接続し、表示データおよびデータ転送用クロックを伝送する。各データドライバ102は、入力側および出力側の伝送線路の間に挿入されるバッファ回路602および603を有し、入力側の伝送線路のインピーダンスが出力側の伝送線路のインピーダンスに影響しないようにしている。このため、伝送速度の高速化およびこれに伴う伝送線路数の削減が可能となる。



【特許請求の範囲】

【請求項1】液晶パネルと、入力される表示データに対応した階調電圧を前記液晶パネルに印加する複数のデータドライバと、前記液晶パネルの走査ラインを順次選択状態とする走査ドライバと、同期信号および表示データを前記データドライバおよび走査ドライバに供給する液晶コントロール回路と、前記液晶コントロール回路および各データドライバを直列に接続して、表示データおよびデータ転送用クロックを伝送する複数の伝送線路とを備え、

前記データドライバは、入力側および出力側の前記伝送線路の間に挿入され、入力側の前記伝送線路のインピーダンスが出力側の前記伝送線路のインピーダンスに影響しないようにするインピーダンス遮断回路を有することを特徴とする液晶表示装置。

【請求項2】液晶パネルと、入力される表示データに対応した階調電圧を前記液晶パネルに印加する複数のデータドライバと、前記液晶パネルの走査ラインを順次選択状態とする走査ドライバと、同期信号および表示データを前記データドライバおよび走査ドライバに供給する液晶コントロール回路と、前記液晶コントロール回路および各データドライバを直列に接続して、表示データおよびデータ転送クロックを伝送する複数の伝送線路とを備え、

前記データドライバは、入力側の前記伝送線路と出力側の前記伝送線路との間に挿入されるバッファ回路と、自データドライバの分担する表示データを取り込み、保持するためのラッチ回路とを有することを特徴とする液晶表示装置。

【請求項3】請求項2記載の液晶表示装置において、前記データドライバは、前記バッファ回路の伝送線路への出力を、自データドライバの分担する表示データの取り込みが終了した時点で有効とする制御を行う制御回路を、さらに有することを特徴とする液晶表示装置。

【請求項4】請求項2記載の液晶表示装置において、前記バッファ回路は、前記伝送線路に出力するデータ転送用クロックおよび表示データの論理レベルを反転させるものであり、前記データドライバは、取り込んだ表示データおよびデータ転送用クロックの論理レベルを、前記液晶コントロール回路の出力時における論理レベルに戻すための回路を、さらに有することを特徴とする液晶表示装置。

【請求項5】請求項2記載の液晶表示装置において、前記伝送線路における伝送信号を、前記液晶コントローラおよびデータドライバの内部の信号レベルの変化幅よりも小さい変化幅で伝送するための手段を、さらに有することを特徴とする液晶表示装置。

【請求項6】請求項2記載の液晶表示装置において、前記伝送線路では、論理レベルの相反する2つ1組の差動信号が複数組み伝送され、

前記液晶コントロール回路は、表示データをより少数のデータ単位の表示データに変換すると共に、該変換に応じたより高い速度で、変換後の表示データを伝送させるための変換制御回路を有し、

前記データドライバは、受信したデータから、前記変換前の表示データを再生する変換回路を有することを特徴とする液晶表示装置。

【請求項7】入力される表示データに対応した階調電圧を液晶パネルに印加するデータドライバにおいて、表示データおよびデータ転送用クロックを伝送する複数の伝送線路に挿入され、前記データドライバは、入力側および出力側の前記伝送線路の間に挿入され、入力側の前記伝送線路のインピーダンスが出力側の前記伝送線路のインピーダンスに影響しないようにするインピーダンス遮断回路を有することを特徴とするデータドライバ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係り、特に、データドライバに表示データを転送するための技術に関する。

【0002】

【従来の技術】従来の液晶表示装置は、入力される映像信号および同期信号を装置内の各ドライバに対応した信号に変換するための液晶コントローラと、表示データに対応した駆動電圧を生成して、液晶パネルに出力するデータドライバとを有する。高解像度の表示を行う液晶表示装置には、データドライバが複数設けられる。液晶コントローラで生成された表示データは、データバスを介してデータドライバに転送され、表示される。例えば、26万色表示（R、G、B毎に64階調）の液晶表示装置では、1994年SID（SOCIETY FOR INFORMATION DISPLAY）INTERNATIONAL SYMPOSIUM DIGEST OF TECHNICAL PAPERS VOLUME XXVの論文23.2に記載されているように、液晶コントローラと複数のデータドライバとを、18ビット（R、G、B毎に6ビット）幅の共通のデータバスで接続し、そのデータバスを介して表示データの転送を行っていた。

【0003】このような液晶表示装置の具体例について、図2から図5を用いて説明する。

【0004】図2に示すように、この液晶表示装置は、液晶パネル204、液晶コントローラ201、走査ドライバ203、複数のデータドライバ202、データバス207、および、同期信号群208～212を有する。ここで、液晶パネル204は、解像度が1024×768画素（1画素はR、G、Bの3ドットからなる）で、262144色（R、G、Bのそれぞれが64階調）の表示が可能となっている。データドライバ202は、8個設けられ、データバス207に共通に接続されている。

【0005】液晶コントローラ201は、パソコン等の

システム装置から、表示データ205および同期信号群206を入力され、ドライバに対応した各種同期信号および表示データ207を出力する。なお、表示データ205は18バス幅のバスを介して、65~75MHzの速度で入力される。出力する同期信号には、データ転送クロック208(CL2)、データ水平同期信号209(CL1)、フレーム同期信号211(FLM)、走査水平同期信号212(CL3)、表示データの転送期間を与えるデータ有効信号210が含まれる。

【0006】8個のデータドライバ102が接続されるデータバス207は、高負荷な伝走路であり、図5に示す等価回路で表される。このようなデータバス207において、システム装置からの表示データ205の転送速度(65~75MHz)と同じ速度で表示データの転送を行うと、波形なまりや反射などが生じ、データドライバが正常なデータを取込むことができなくなる。このため、データバス207は、例えば、バス幅を2倍の36ビットとし、転送速度を1/2の32.5~37.5MHzとしている。また、液晶コントローラ201は、入力された表示データ205を2画素1組に並列化して転送する。

【0007】各データドライバ202は、図3に示すように、バッファ回路301、イネーブル制御回路302、ラッチアドレス生成回路303、ラッチ回路304および305、液晶駆動回路306を有する。液晶コントローラ201の出力するデータ有効信号210が有効となると、最前段のデータドライバ202-1では、ラッチアドレス生成回路303がラッチ信号の生成を開始し、データバス207の表示データが順次にラッチ回路304にラッチされる。自ドライバの分担する表示データが全てラッチ回路304にラッチされると、イネーブル制御回路302は、次段のデータドライバ202-2に供給するデータ有効信号210-2を有効とし、データの取り込を開始させる。これにより、各データドライバ202が、順次に、対応する表示データを取り込み、8個のデータドライバ202に1ライン分の表示データがラッチされる。そして、データ水平同期信号209(CL1)に従い、各データドライバ202では、一斉に、ラッチ回路305がラッチ回路304のラッチ出力をラッチし、この表示データに対応する液晶駆動電圧を液晶駆動回路306が生成し、液晶パネル204に出力する。そして、走査ドライバ203により選択されているラインに、液晶駆動電圧に対応する表示がなされる。以上の動作が、液晶パネル204のライン毎に順次繰り返される。

【0008】

【発明が解決しようとする課題】特にラップトップ型のコンピュータでは、液晶表示装置の液晶パネルを囲む枠分部(額縁)を小さくすることが求められている。例えば、液晶パネルの上部の枠幅は、少なくとも、データド

ライバの幅と、データバスの幅とを合せた広さだけ確保する必要がある。

【0009】しかしながら、上記従来の技術では、データドライバに正常な表示データを伝送するために、データバスのバス幅を広くして、転送速度を低下させる必要がある。このため、液晶パネルの額縁の幅を小さくすることが困難であった。表示の解像度が高くなるほど、データバスのバス幅を広くする必要があるため、上記の問題は深刻となる。

【0010】そこで、本発明は、複数のデータドライバへの信号の供給を、より少数の伝送線路で行うことを可能とした液晶表示装置を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明は、液晶パネルと、入力される表示データに対応した階調電圧を前記液晶パネルに印加する複数のデータドライバと、前記液晶パネルの走査ラインを順次選択状態とする走査ドライバと、同期信号および表示データを前記データドライバおよび走査ドライバに供給する液晶コントロール回路と、前記液晶コントロール回路および各データドライバを直列に接続して、表示データおよびデータ転送用クロックを伝送する複数の伝送線路とを備え、前記データドライバは、入力側および出力側の前記伝送線路の間に挿入され、入力側の前記伝送線路のインピーダンスが出力側の前記伝送線路のインピーダンスに影響しないようにするインピーダンス遮断回路を有することを特徴とする液晶表示装置を提供する。

【0012】このような液晶表示装置によれば、伝送線路における伝送速度の高速化およびこれに伴う伝送線路数の削減が可能となる。

【0013】

【発明の実施の形態】以下、本発明の第1の実施形態について、図1、図6~図13を用いて説明する。

【0014】図1は、本実施形態に係る液晶表示装置の構成を示す図である。図示のように、液晶表示装置は、液晶コントローラ101、複数のデータドライバ102、走査ドライバ103、液晶パネル104、および、データバス107を有する。

【0015】本実施形態では、液晶パネル104を、解像度が1280×1024画素(1画素はR、G、Bの3ドットからなる)、16777216色表示(R、G、Bのそれぞれが256階調)としている。データドライバ102は、10個設けられ、それぞれが128画素の表示を分担する。データバス107は、バス幅が24ビット(R、G、Bのそれぞれが8ビット)となっており、1画素分の表示データを同時に伝送する。なお、このバス幅は、液晶コントローラ101に入力される表示データのバス105と同じとなっている。

【0016】データバス107は、液晶コントローラ101および全てのデータドライバ102を直列に接続す

る。すなわち、液晶コントローラ101およびデータドライバ102-1間がデータバス107-1、データドライバ102-1および102-2間がデータバス107-2、…、データドライバ102-9および102-10間がデータバス107-10で、それぞれ接続される。同様に、データ転送クロックの伝送線路(108-1~108-10)も、液晶コントローラ101および全てのデータドライバ102を直列に接続する。

【0017】図6に、データドライバ102の構成を示す。図中、601は表示データの取込期間を管理するためのイネーブル制御回路、602はデータバス107用の入出力バッファ回路、603はデータ転送クロック108用の入出力バッファ回路、604は表示データ用のラッチ信号を生成するラッチアドレス生成回路、605はデータバス107からの表示データを順次ラッチするラッチ回路、606はラッチ回路605のラッチ出力を1ライン周期で一斉にラッチするラッチ回路、607はラッチ回路606のラッチ出力に基づき液晶駆動電圧を生成する液晶駆動回路である。

【0018】入出力バッファ回路602は、データバス107の各伝送線路毎に設けられる。また、入出力バッファ回路602および603は、入力側の伝送線路のインピーダンスが出力側の伝送線路のインピーダンスに影響しないようにするインピーダンス遮断機能を持ち、伝送信号を正常な波形に整形して出力する。

【0019】図7に、液晶コントローラ101の構成を示す。図中、701は入力された同期信号群106を基に液晶駆動用の同期信号を生成する液晶表示制御信号生成回路、702は入力された表示データ105のタイミングを調整して液晶駆動用の表示データを生成する液晶表示データタイミング制御回路、703は生成した各種信号を外部に出力するための出力バッファ回路である。なお、出力バッファ回路703は、データバス107の各伝送線路毎に設けられた複数のバッファ回路からなる。

【0020】ここで、入力される同期信号群106には、垂直同期信号VSYNC、水平同期信号HSYNC、データクロックDCLK、および、DTMGが含まれる。出力する液晶駆動用の同期信号群には、データ転送クロック108(CL2)、データ水平同期信号109(CL1)、フレーム同期信号111(FLM)、走査水平同期信号112(CL3)、および、表示データの転送期間を表すデータ有効信号110が含まれる。

【0021】次に、本実施形態の液晶表示装置の動作について、図8を用いて説明する。

【0022】液晶コントローラ101は、パソコン等のシステム装置から表示データ105および同期信号群106を取り込み、液晶駆動用の同期信号群108~112および表示データ107を出力する。出力する表示データは、データバス107で1画素単位(24ビット)

に転送される。液晶コントローラ101より出力される信号の内、高速な表示データ(107-1)およびデータ転送クロック108-1は、最前段のデータドライバ102-1から最後段のデータドライバ102-10にかけて順次、転送される。

【0023】各データドライバ102は、図8に示すように、表示データ107およびデータ転送クロック108の供給を受け、自ドライバ102の分担する表示データを取込み終ると、入出力バッファ回路602および603を介して、表示データ107およびデータ転送クロック108を次段のデータドライバ102へ出力し始める。自ドライバ102へのデータ転送が開始されたことは、前段の液晶コントローラ101またはデータドライバ102より出力されるデータ有効信号110により判る。以上の動作が繰り返されることで、データ水平同期信号109の1周期において、10個のデータドライバ102に1ライン分の表示データがラッチされる。

【0024】データドライバ102の動作について、さらに詳しく説明する。図6において、入力されるデータ有効信号110-INが有効(ローレベル)になると、ラッチアドレス生成回路604は、入力されるデータ転送クロック108-INに同期してラッチ信号611の生成を開始し、128画素分の表示データ107-INを1画素単位にラッチ回路605にラッチさせる。

【0025】イネーブル制御回路601は、128画素分の表示データがラッチされると、次段のデータドライバ102に出力するデータ有効信号110-OUTを有効にする。これと同時に、イネーブル制御回路601は、入出力バッファ回路602および603の出力回路を有効にして、入力されるデータ転送クロック108-INおよび表示データ107-INを、データ転送クロック108-OUTおよびデータバス107-OUTとして出力し始める。

【0026】10個のデータドライバ102で1ライン分の表示データがラッチされると、データ水平同期信号109に同期して、ラッチ回路605のラッチ出力がラッチ回路606に一斉にラッチされる。液晶駆動回路607は、ラッチ回路606のラッチ出力(表示データ)に対応する液晶駆動電圧113を、階調基準電圧615を用いて生成し、液晶パネル104に出力する。

【0027】走査ドライバ103は、走査水平同期信号112に同期して、液晶パネル104に順次に1ラインずつ選択電圧を印加し、フレーム同期信号111の1周期で全てのラインに選択電圧を印加する。そして、選択電圧を印加されるライン上では、データドライバ102から出力される液晶駆動電圧113に応じたカラー表示がなされる。

【0028】次に、表示データ107およびデータ転送クロック108の転送に用いる信号インタフェースの具体例について、図9~図11を用いて説明する。

【0029】信号インタフェースとは、伝送線路（例えばデータバス107）とその両端に接続されるバッファ回路（例えばバッファ回路703および602）を含む入出力系を示す。データドライバ102のバッファ回路602および603は同じ構成を有し、共に、入力バッファ回路および出力バッファ回路からなる。この出力バッファ回路は、液晶コントローラ101のバッファ回路703と構成が共通する。このため、以下の説明ではバッファ回路の所在については明示しない。

【0030】図9は、信号インタフェースの回路構成を示す図である。図の回路構成では、CMOSの出力バッファが入力信号（例えば表示データ）に従い、出力をV_{GND}（グラウンド電位）、V_{cc}に切り替える。この出力バッファに伝送線路（例えばデータバス107）を介して接続された入力バッファ回路は、CMOSトランジスタにより伝送電圧の論理判定を行う。

【0031】図10に、信号インタフェースの他の例を示す。図の信号インタフェースは、例えばGTL（Gunning tranceiver logic）等のオープンドレイン型の構成を有する。出力バッファ回路のトランジスタのON/OFFにより、入力バッファ回路に入力される伝送線路電圧のレベルは、電圧V_{ter}と略等しい電圧V₁、または、V₁より所定量小さい電圧V₂に変化する（ここで、V_{GND} < V₂ < V_{ref} < V₁ < V_{cc}）。入力バッファ回路は、基準電圧V_{ref}をしきい値として、伝送電圧の論理判定を行う。この構成によれば、伝送線路電圧の変化幅を小さくできるため、高速なデータ伝送が可能となる。

【0032】図11に、信号インタフェースの他の実現例を示す。図の信号インタフェースは、プッシュプル型の構成を有する。出力バッファ回路のトランジスタのON/OFFにより、入力バッファ回路に入力される伝送線路電圧のレベルは、電圧V_{ter}より所定量大きい電圧V₁、または、電圧V_{ter}より所定量小さい電圧V₂に変化する（ここで、V_{GND} < V₂ < V_{ter}, V_{ref} < V₁ < V_{cc}）。入力バッファ回路は、基準電圧V_{ref}をしきい値として、伝送電圧の論理判定を行う。この構成によれば、図10の信号インタフェースと同様に、伝送線路電圧の変化幅を小さくできるため、高速なデータ転送が可能となる。

【0033】以上のように、本実施形態では、データバス107により全てのデータドライバ102を直列に接続し、転送信号をバッファ回路を介して次段に転送する構成としたため、データバス107が図12に示す等価回路で表される。図示のように、バッファ回路間の伝送線路の負荷が、従来例に比べ大幅に低減される。このため、データバス107では、波形なまりや反射が緩和され、従来例よりも信号伝送を確実かつ高速に行えるようになる。つまり、本実施形態によれば、データバス107等での伝送速度を高めることができ、より少数の伝送線路によりデータドライバに信号を供給することができ

る。そして、伝送線路数の削減により、液晶パネルの外枠の狭小化が可能となる。

【0034】また、本実施形態では、伝送線路数が削減されると共に、表示データ107の取り込みの終了していないデータドライバ102が次段への伝送を行わないため、信号伝送で消費する電力も低減される。

【0035】次に、本発明の第2の実施形態について、図13から図15を用いて説明する。

【0036】本実施形態に係る液晶表示装置では、データドライバにおけるバッファ回路およびその制御の方法が、第1の実施形態と異なる。以下では、第1の実施形態と異なる構成および動作を中心に説明を行う。

【0037】図13に、本実施形態のデータドライバ102の構成を示す。図示のように、このデータドライバ102は、転送信号の論理レベルを反転させる出力バッファ回路を持つ入出力バッファ回路1302および1303と、その入力バッファ回路の出力側に挿入される排他的論理和回路（Ex-OR）とを有する。なお、他の構成要素は、第1の実施形態と同じ機能を持つ。

【0038】Ex-ORは、自ドライバ102に取り込む信号の論理レベルを本来の論理レベルに戻すためのものである。Ex-ORは、DREV信号に従い、入力バッファ回路の出力をそのまま出力するか、または、論理レベルを反転してから出力する。本実施形態では、奇数段目のデータドライバ（102-1, 102-3, …）ではEx-ORが入力信号をそのまま出力し、偶数段目のデータドライバ（102-2, 102-4, …）ではEx-ORが入力信号を論理レベルを反転してから出力する。なお、DREV信号の論理レベルは各データドライバ102において固定であるため、例えば、基板上の配線により、DREV信号の入力端子に、対応する電圧（V_{cc}またはV_{GND}）を供給するようにする。

【0039】本実施形態のデータドライバ102の動作について説明する。データドライバ102に入力された表示データ107およびデータ転送クロック108は、液晶コントローラ101の出力時と同じ論理レベルとなってEx-ORから出力され、ラッチ回路1305でラッチされる。分担する全ての表示データ107がラッチされると、イネーブル制御回路1301の制御信号1301により、入出力バッファ回路1302および1303の出力バッファ回路が有効となり、入力された表示データ107およびデータ転送クロック108は、論理レベルを反転された状態で、次段のデータドライバ102に転送される。同じ動作が各データドライバ102で繰返され、1ライン分の表示データ107が全てのデータドライバ102のラッチ回路1305でラッチされる。以降の動作は第1の実施形態と同様である。

【0040】論理レベルの反転を行わない同じ構成のバッファ回路を多段に接続してパルス伝送を行った場合には、伝送パルスのデューティ比が変化する。例えば、そ

のバッファ回路が、伝送パルスの立下りに比べ立上りの応答特性が鈍いものである場合には、図14に示すように、バッファ回路を通過する毎に、伝送信号の立上りが遅延し、パルス幅の減少による伝送品質の低下が起る。

【0041】本実施形態では、図15に示すように、データドライバ102の出力バッファ回路を通過する毎に、伝送信号（表示データ107およびデータ転送クロック108）の論理レベルが反転するため、伝送信号の立上りおよび立下りの一方が極端に遅延することを防止できる。このため、本実施形態によれば、第1の実施形態よりも伝送品質が向上し、伝送信号の高速化およびデータバス107のバス幅の低減が容易となる。

【0042】次に、本発明の第3の実施形態について、図16および図17を用いて説明する。

【0043】本実施形態は、表示データ107およびデータ転送クロック108の各信号（1ビット）を、信号極性が互いに反転したものとなる2つの信号（以下、差動信号と呼ぶ）により伝送する点が、第1の実施形態と異なる。以下では、第1の実施形態と異なる機能および動作を中心に説明する。

【0044】図16に、本実施形態のデータドライバ102の構成を示す。このデータドライバ102は、差動信号の送受信を行うための差動入出力バッファ回路1602および1603と、データ転送クロック108を基により高速なクロックを生成するPLL回路1616と、差動入出力バッファ回路1602の出力信号をパラレル化するシリアル/パラレル変換回路1617とを有する。なお、他の構成要素は、第1の実施形態と同じ機能を持つ。

【0045】図17に、本実施形態の液晶コントローラ101の構成を示す。この液晶コントローラ101は、入力された表示データ105のタイミング制御およびシリアル化により液晶駆動用の表示データを生成する液晶表示データパラレル/シリアル制御回路1702と、データ転送クロックDCLKを基により高速なクロックを生成するPLL回路1704と、データ転送クロック108および表示データ107を差動信号として出力する差動バッファ回路1705とを有する。

【0046】図18に、液晶コントローラ101およびデータドライバ102の差動信号インタフェースの回路構成を示す。図の構成は、伝送する表示データの各ビットおよびデータ転送クロック108のそれぞれに対応して設けられ、1つの信号を、信号極性（+、-）が互いに反転したものとなる差動信号として、2つの伝送線路を介して送受信する。この信号インタフェースは、伝送速度を大幅に向上させることを可能とする。

【0047】本実施形態では、第1の実施形態に対し、表示データ107が4倍の転送速度で伝送される。また、表示データ107は、1/4のビット数である6ビットが、12本の伝送線路からなるデータバス107を

介して同時に転送される。すなわち、本実施形態では、データバス107の伝送線路数が第1の実施形態の半分となる。

【0048】次に、本実施形態におけるデータ転送動作について説明する。

【0049】液晶コントローラ101では、PLL回路1704が、データ転送クロックDCLKの4倍の速度となる4倍速クロック1706を生成する。液晶表示データパラレル/シリアル制御回路1702では、24ビット（パラレル）の入力表示データ105を4倍速クロック1706に同期して、6ビット（パラレル）毎に出力する制御を行う。これにより、6ビット（パラレル）の表示データ1713が、データ転送クロックDCLKの4倍の速度で差動バッファ回路1705に出力される。差動バッファ回路1705は、入力されたデータ転送クロックCL2および表示データをそれぞれ差動信号に変換し、2本の伝送線路でデータ転送クロック108、12本の伝送線路で液晶表示データ107をそれぞれ伝送する。

【0050】表示データ107の入力が開始されると、データドライバ102では、PLL回路1616が、データ転送クロック108の4倍の速度となる4倍速クロック1618を生成する。シリアル/パラレル変換回路1617は、4倍速クロック1618に同期して、6ビット（パラレル）で入力される表示データ1619を取り込み、24ビット（パラレル）の表示データ1612に変換する。そして、この表示データ1612は、1画素単位に、ラッチ回路1605でラッチされる。以降の動作は第1の実施形態と同様である。

【0051】以上のように、本実施形態によれば、表示データの転送を差動信号により行い、パラレル/シリアル変換および速度変換を行うことで、第1の実施形態よりも伝送速度を高め、かつ、伝送線路数を削減することができる。

【0052】

【発明の効果】以上で説明したように、本発明によれば、複数のデータドライバへの信号の供給を、より少数の伝送線路で行うことを可能とした液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】 本発明を適用した液晶表示装置の実施形態のブロック図。

【図2】 従来例の液晶表示装置のブロック図。

【図3】 従来例のデータドライバのブロック図。

【図4】 従来例における表示データの転送タイミングを示す図。

【図5】 従来例のデータバスの等価回路を示す図。

【図6】 第1の実施形態のデータドライバのブロック図。

【図7】 第1の実施形態の液晶コントローラのブロッ

ク図。

【図8】 第1の実施形態における表示データの転送タイミングを示す図。

【図9】 第1の実施形態における信号インタフェース回路の構成図(1)。

【図10】 信号インタフェース回路の構成図(2)。

【図11】 信号インタフェース回路の構成図(3)。

【図12】 第1の実施形態におけるデータバスの等価回路を示す図。

【図13】 本発明の第2の実施形態におけるデータドライバのブロック図。

【図14】 データバスにおける信号波形の変化を示す図。

【図15】 第2の実施形態のデータバスにおける信号波形の変化を示す図。

【図16】 本発明の第3の実施形態のデータドライバ

のブロック図。

【図17】 第3の実施形態の液晶コントローラのブロック図。

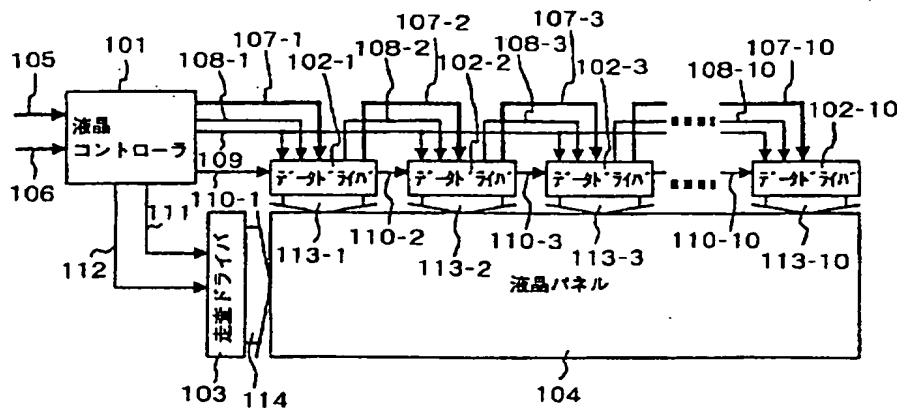
【図18】 第3の実施形態の信号インタフェース回路の構成図。

【符号の説明】

101…液晶コントローラ、102…データドライバ、103…走査ドライバ、104…液晶パネル、105…入力表示データ、106…表示同期信号群、107…データバス、108…データ転送クロック、109…データ水平同期信号、110…データ有効信号、111…フレーム同期信号、112…走査水平同期信号、601…イネーブル制御回路、602…データ入出力バッファ回路、603…データ転送クロック入出力バッファ回路、604…ラッチアドレス生成回路、605…ラッチ回路、606…ラッチ回路、607…液晶駆動回路。

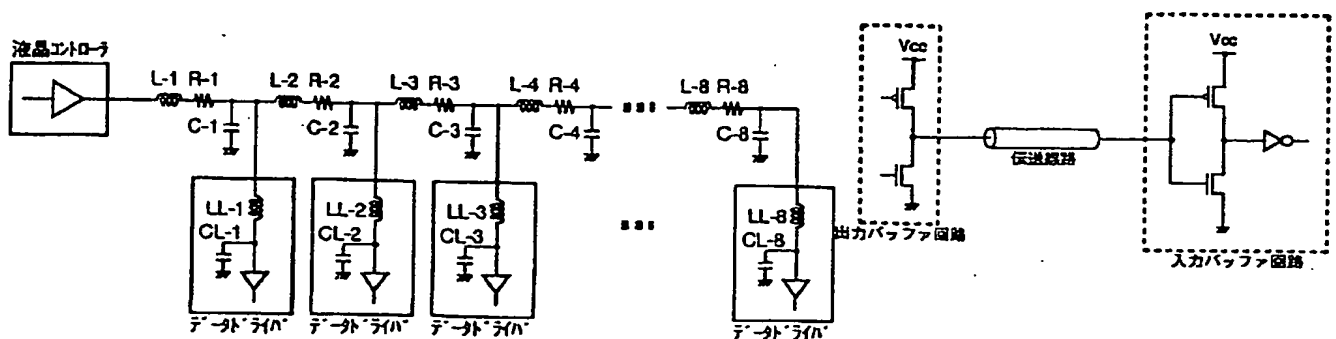
【図1】

図1



【図5】

図5

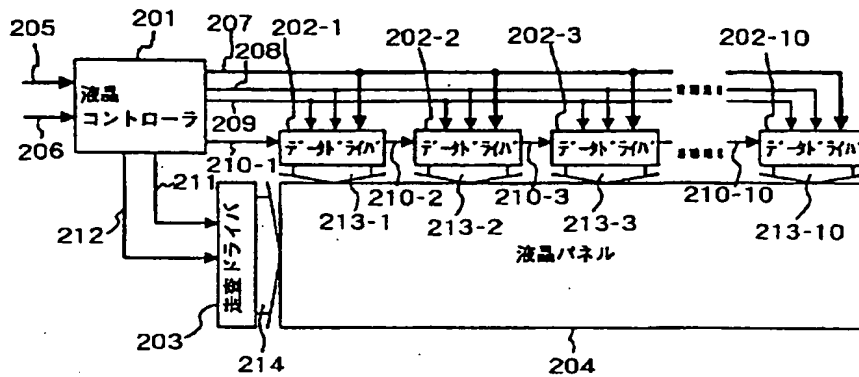


【図9】

図9

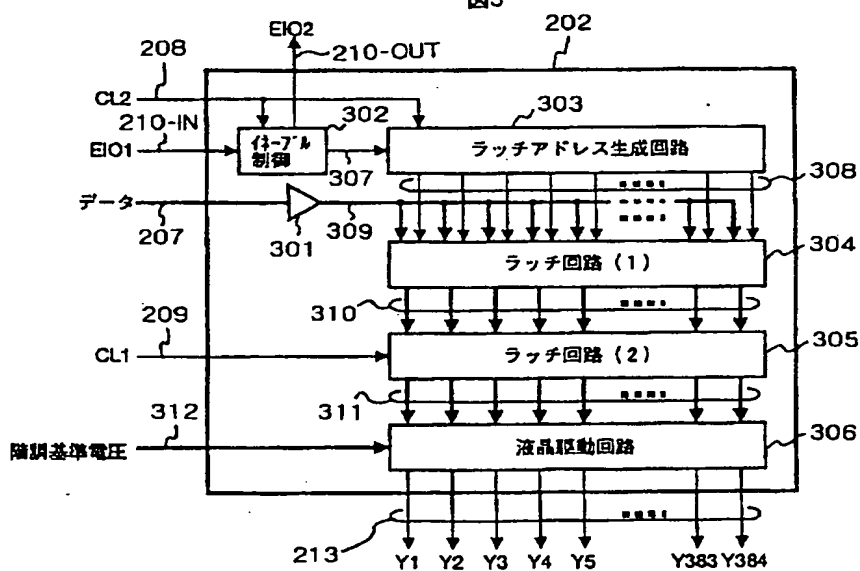
【図2】

図2



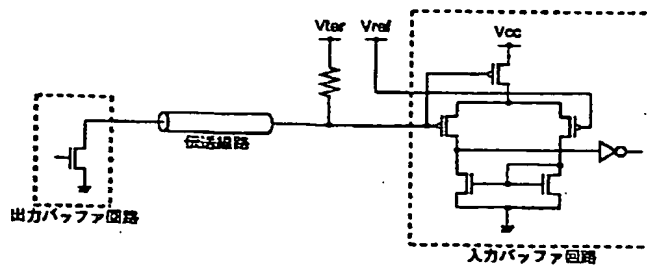
【図3】

図3



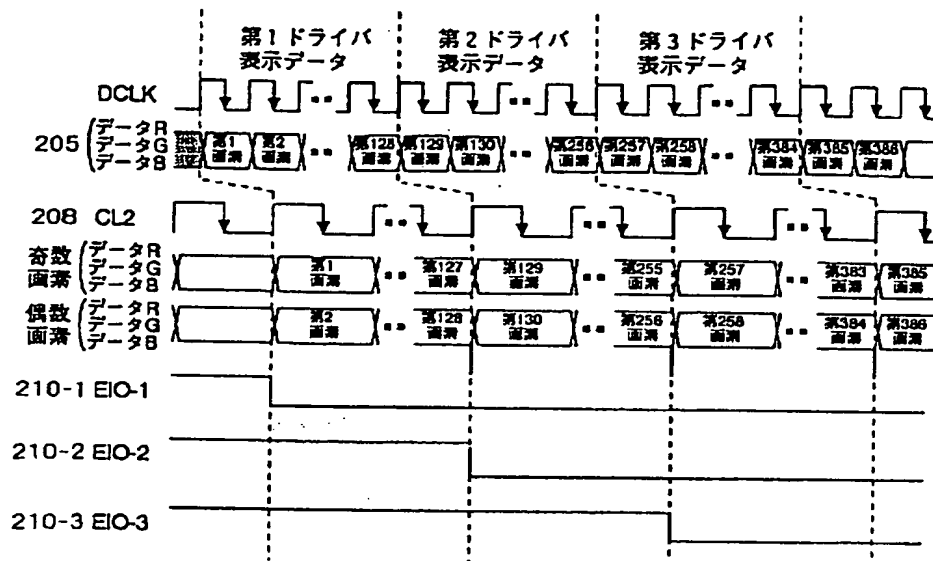
【図10】

図10



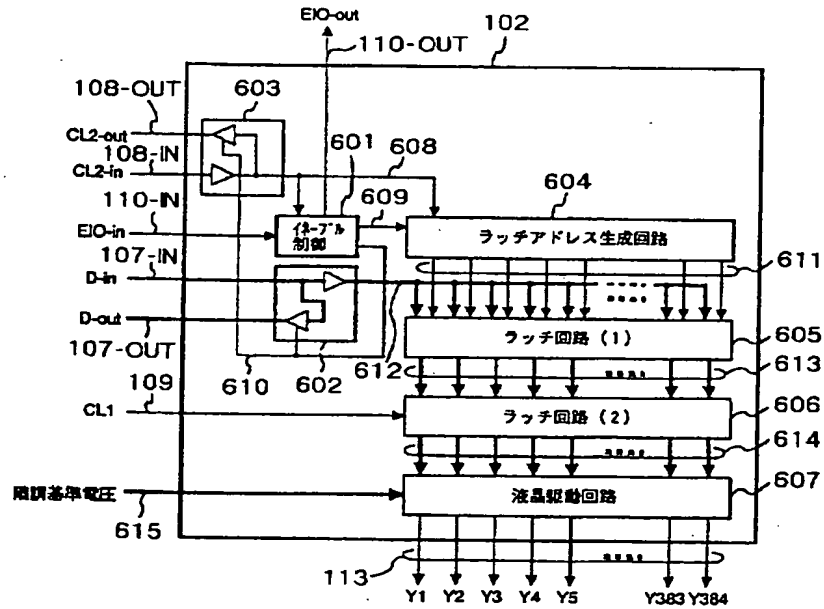
【図4】

図4



【図6】

図6



11

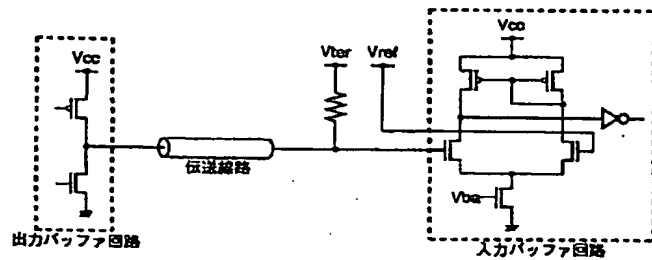


图12

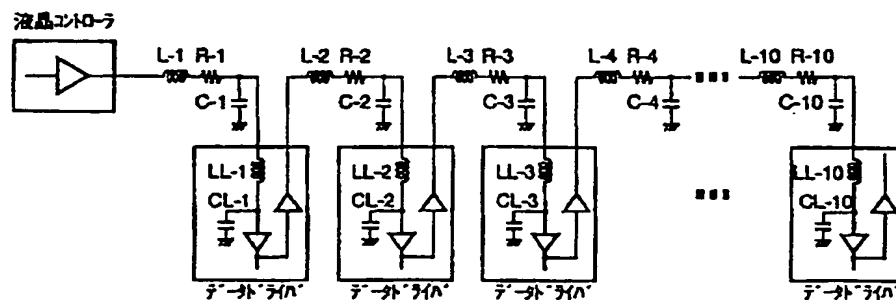
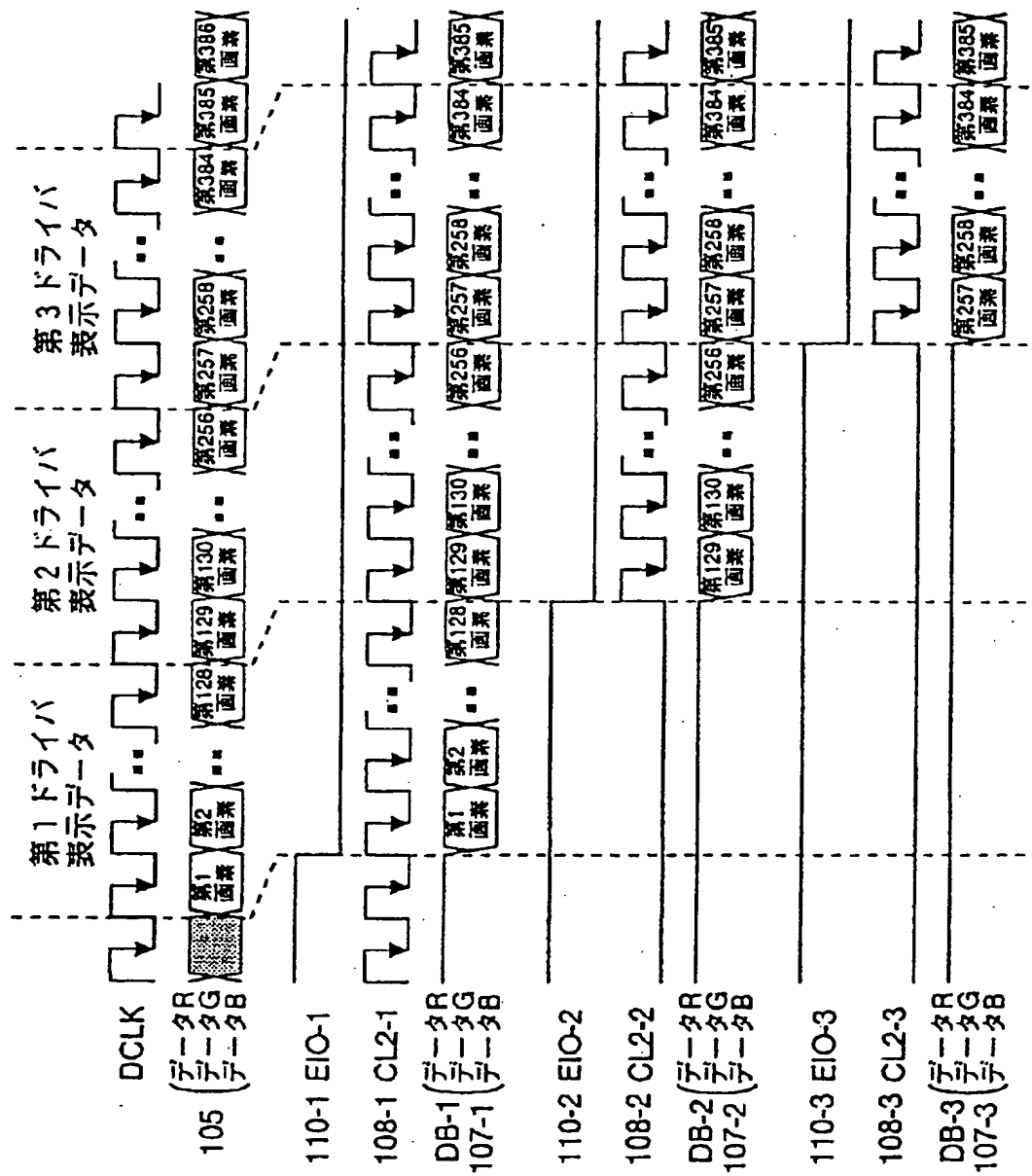


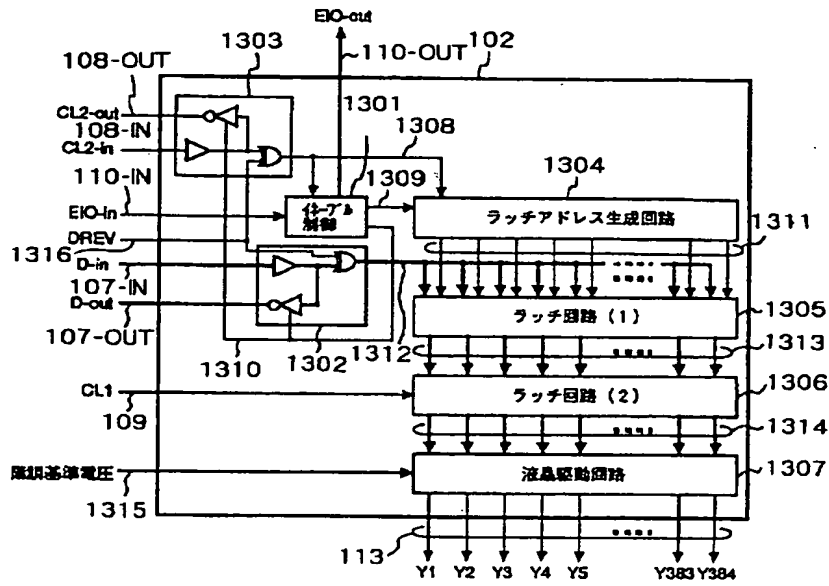
図8



【図8】

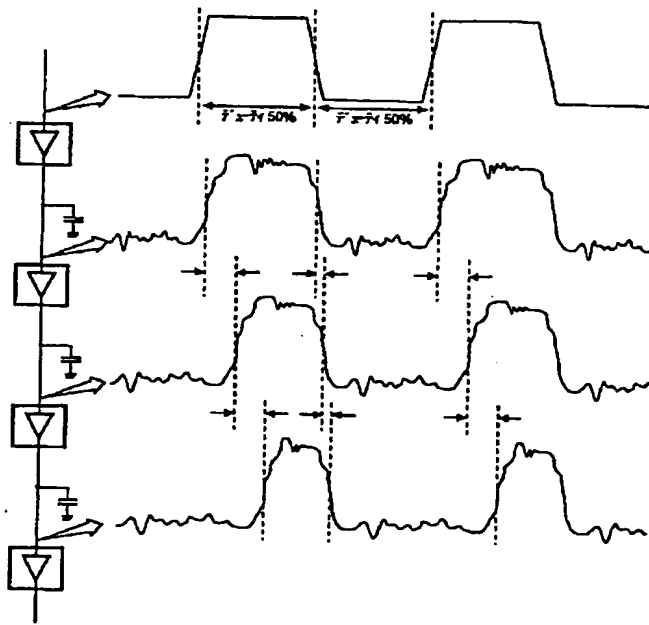
【図13】

図13



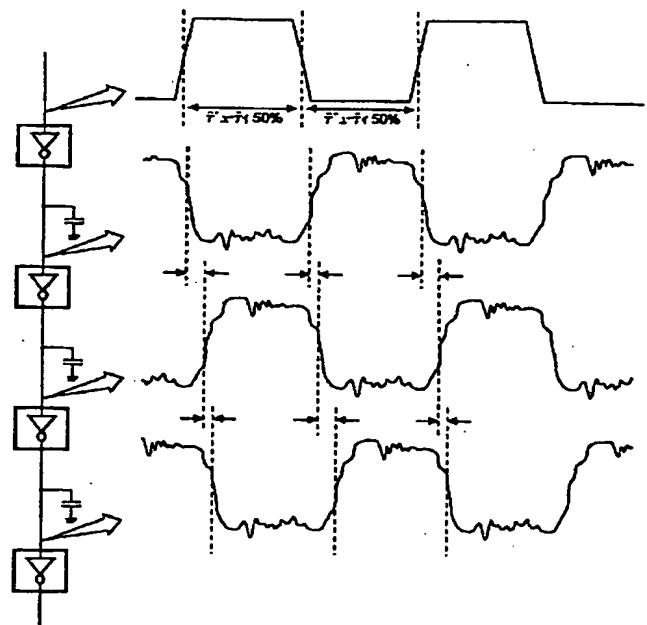
【図14】

図14



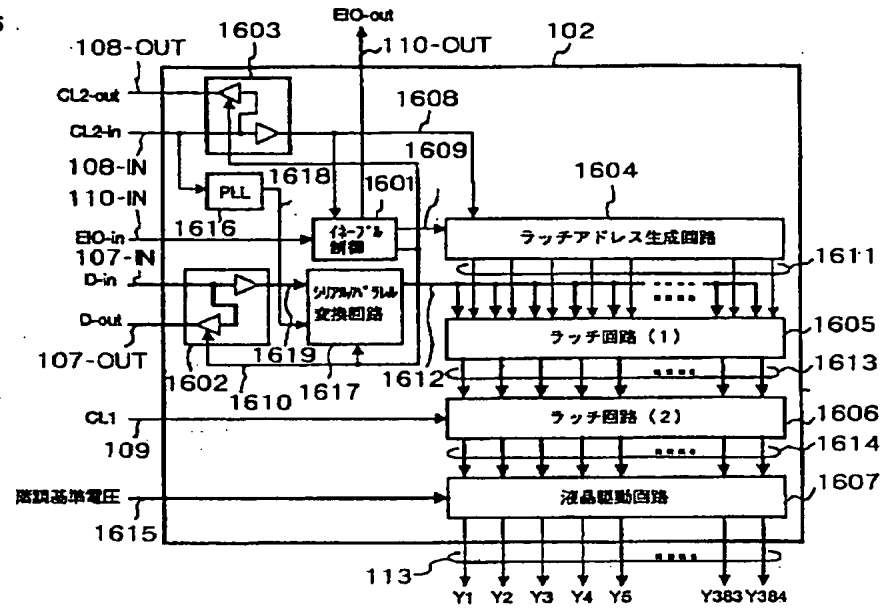
【図15】

図15



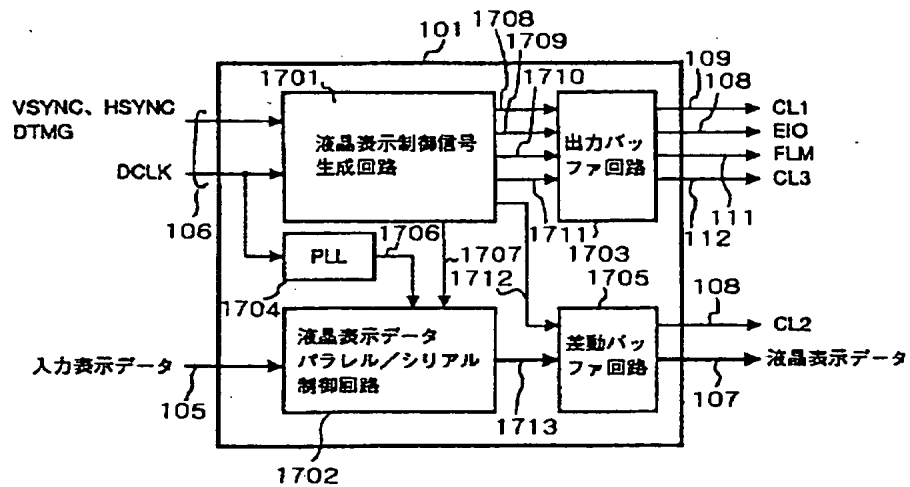
【図16】

図16



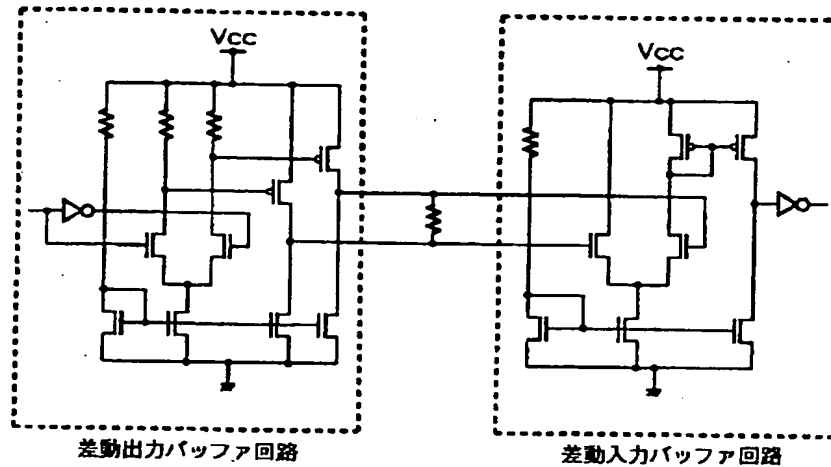
【図17】

図17



【図18】

図18



フロントページの続き

(72)発明者 大坂 英樹
神奈川県川崎市麻生区王禅寺1099番地 株式会社日立製作所システム開発研究所内

(72)発明者 恒川 悟
東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体事業部内

(72)発明者 栗原 博司
千葉県茂原市早野3300番地 株式会社日立製作所電子デバイス事業部内

(72)発明者 比嘉 淳裕
神奈川県横浜市戸塚区吉田町292番地 株式会社日立画像情報システム内

(72)発明者 中村 雅志
千葉県茂原市早野3681番地 日立デバイスエンジニアリング株式会社内